

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07038388  
PUBLICATION DATE : 07-02-95

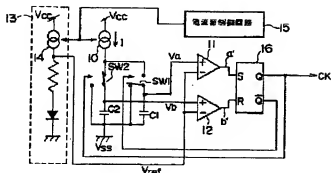
APPLICATION DATE : 16-07-93  
APPLICATION NUMBER : 05176530

APPLICANT : TOSHIBA CORP;

INVENTOR : YOSHIZAWA AKIHIKO;

INT.CL. : H03K 4/501 G06F 1/04

TITLE : CLOCK GENERATION CIRCUIT



ABSTRACT : PURPOSE: To provide a clock generation circuit capable of generating a reference clock without requiring an out-fitting component for an LSI and an external reference signal source, and reducing an LSI cost and a system cost.

CONSTITUTION: This circuit is equipped with first and second capacitors C1, C2 with the same capacitance value, a constant current source circuit 10, a first switching circuit SW1 which connects the first capacitor to the constant current source circuit or reference potential selectively by a first switching control signal, a second switching circuit SW2 which connects the second capacitor to the constant current source circuit or the reference potential selectively by a second switching control signal, and a control circuit 16 which connects the first and second capacitors to the constant current source circuit alternately and controls the first and second switching circuits SW1, SW2 at every arrival of the charge voltage of the first or second capacitor at a prescribed voltage.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38388

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.\*

H 0 3 K 4/501

G 0 6 F 1/04

識別記号

序内整理番号

F I

技術表示箇所

C 7165-5B

8124-5J

H 0 3 K 4/ 50

D

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平5-176530

(22) 出願日 平成5年(1993)7月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉沢 秋彦

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

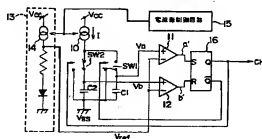
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【目的】 L S I の外付け部品、外部基準信号源を必要とせずに基準クロックを発生し、L S I コスト、システムコストを低減し得るクロック発生回路を提供する。

【構成】 容量値が等しい第1、第2のコンデンサC1、C2と、定電流源回路10と、第1の切換制御信号により第1のコンデンサを定電流源回路または基準電位に選択的に接続する第1の切換回路SW1と、第2の切換制御信号により第2のコンデンサを定電流源回路または基準電位に選択的に接続する第2の切換回路SW2と、第1のコンデンサおよび第2のコンデンサを交互に定電流源回路に接続し、第1または第2のコンデンサの充電電圧が所定電圧に達する毎に第1の切換回路および第2の切換回路を制御する制御回路16とを具備することを特徴とする。



1

【特許請求の範囲】

【請求項1】 LSIチップ上に設けられ、それぞれの一端が基準電位に接続された第1のコンデンサおよび第2のコンデンサと、

上記第1のコンデンサおよび第2のコンデンサに流す電流を設定するために設けられた第1の定電流源回路と、前記第1のコンデンサの他端と前記第1の定電流源回路の出力ノードとに接続され、第1の切替制御信号により制御され、前記第1のコンデンサの他端を前記第1の定電流源回路または前記基準電位に選択的に接続する

第1の切替回路と、前記第2のコンデンサの他端と第1の定電流源回路の出力ノードと前記の間に接続され、第2の切替制御信号により制御され、前記第2のコンデンサの他端を前記第1の定電流源回路または前記基準電位に選択的に接続する

第2の切替回路と、前記第1のコンデンサおよび第2のコンデンサを交互に前記第1の定電流源回路に接続し、上記第1のコンデンサの充電電圧または第2のコンデンサの充電電圧が所定電圧に達する毎に前記第1の切替回路および第2の切替回路を制御する制御回路とを具備することを特徴とするクロック発生回路。

【請求項2】 請求項1記載のクロック発生回路において、

前記制御回路は、

所定の比較基準電圧を発生する基準電圧発生回路と、

前記第1のコンデンサの他端の電圧と前記基準電圧発生回路で発生された比較基準電圧とが入力し、両入力の電圧を比較する第1の電圧比較回路と、

前記第2のコンデンサの他端の電圧と前記基準電圧発生回路で発生された比較基準電圧とが入力し、両入力の電圧を比較する第2の電圧比較回路と、

上記第1の電圧比較回路の出力および第2の電圧比較回路の出力がそれぞれにセット入力端子およびリセット入力端子に供給され、相補的な出力を前記第1の切替制御信号および第2の切替制御信号として供給するフリップフロップ回路とを具備することを特徴とするクロック発生回路。

【請求項3】 請求項2記載のクロック発生回路において、

前記基準電圧発生回路は、前記比較基準電圧を生成するための基準電流を流す定電流源回路を有しており、この基準電圧発生回路の電流源回路および前記第1の定電流源回路は、共通の電流源制御信号により制御されることを特徴とするクロック発生回路。

【請求項4】 請求項3記載のクロック発生回路において、

前記基準電圧発生回路の定電流源回路の電流値をLSI製造プロセス終了後にトリミング回路で電流源回路を

2

【請求項5】 請求項3記載のクロック発生回路において、

前記基準電圧発生回路は、前記基準電流が流れることにより前記比較基準電圧の少なくとも一部を生成するための抵抗素子を有しており、

上記抵抗素子の抵抗値をLSI製造プロセス終了後にトリミング調整し得る調整回路をさらに具備することを特徴とするクロック発生回路。

【請求項6】 請求項3記載のクロック発生回路において、

前記基準電圧発生回路は、直列に接続された抵抗素子およびダイオードと、これらに電流を流すための電流源回路とを有し、上記抵抗素子およびダイオードの両端間の電圧を基準電圧として出力することを特徴とするクロック発生回路。

【請求項7】 請求項6記載のクロック発生回路において、

前記ダイオードは、前記LSIチップ上に設けられるバイポーラトランジスタのベース・エミッタ間接合が使用されていることを特徴とするクロック発生回路。

【請求項8】 請求項2記載のクロック発生回路において、

さらに、前記第1のコンデンサおよび第2のコンデンサの容量値をLSI製造プロセス終了後にトリミング調整し得る調整回路をさらに具備することを特徴とするクロック発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルLSI（半導体集積回路）などに設けられる発振回路に係り、特にコンデンサの放電動作を利用したクロック発生回路に関する。

【0002】

【従来の技術】デジタルLSIなどにおいては、LSIを動作させる基準となる基準クロック（システムクロック、マスタートラックなど）を発生するクロック発生回路を用いている。

【0003】このクロック発生回路として特に安定した基準クロックを得る必要がある場合、従来は、図13に示すように、LSIに外付けされる水晶振動子131を用いた水晶振動回路をLSIチップ130上に設けている。水晶振動子131は、機械的振動を行うので、素子としての選択度Qが非常に高く、発振周波数が特に安定である。また、水晶振動子131の代わりは、インダクタ素子Lおよびキャパシタ素子Cを外付けしたLC発振回路を用いることもある。

【0004】また、図14に示すように、位相検出回路141、チャージポンプ・ローパスフィルタ142、VCO（電圧制御発振器）143、分周器144、およびフリップフロップ145を有するデジタル分周器146を用いて、基準クロックを発生する。

3

ロック発生回路をLSIチップ上に設け、安定した基準クロックを得る場合がある。この場合、PLLの位相基準となる基準信号REFをLSI外部から供給する必要がある。

【0005】しかし、これらのクロック発生回路はいずれもLSIの外付け部品あるいは外部基準信号源を必要とするので、この外付け部品を接続するための外部端子X1、X0あるいは外部信号線を接続するための外部端子を、LSI本来の動作上では必要でないという意味で余分に必要とする。

【0006】これによりLSIチップ上のパッド数が増加し、LSIのチップサイズが増大し、LSIパッケージの外付け端子数が増大し、LSIのコストが上昇する。また、LSIを用いたシステム全体としても、LSIの他に、水晶振動子、LCなどの外付け部品あるいは外部信号源を必要とするので、トータルコストが上昇する。

【0007】

【発明が解決しようとする課題】上記したように従来のLSIに設けられるクロック発生回路は、LSIの外付け部品あるいは外部基準信号源を必要とするので、LSIのコストが上昇するばかりでなく、LSIを用いたシステム全体のトータルコストも上昇するという問題があった。

【0008】本発明は上記の問題点を解決すべくなされたもので、LSIの外付け部品あるいは外部基準信号源を必要とせずに安定した基準クロックを発生でき、LSIのコストおよびLSIを用いたシステム全体のコストを低減し得るクロック発生回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のクロック発生回路は、LSIチップ上に設けられ、それぞれの一端が基準電位に接続された第1のコンデンサおよび第2のコンデンサと、上記第1のコンデンサおよび第2のコンデンサに流す電流を設定するために設けられた定電流源回路と、前記第1のコンデンサの他端と前記定電流源回路の出力ノードとの間に接続され、第1の切換制御信号により制御され、前記第1のコンデンサの他端を前記定電流源回路または前記基準電位に選択的に接続する第1の切換回路と、前記第2のコンデンサの他端と定電流源回路の出力ノードと前記の間に接続され、第2の切換制御信号により制御され、前記第2のコンデンサの他端を前記定電流源回路または前記基準電位に選択的に接続する第2の切換回路と、前記第1のコンデンサおよび第2のコンデンサを交互に前記第1の定電流源回路に接続し、上記第1のコンデンサの充電電圧または第2のコンデンサの充電電圧が所定電圧に達する毎に前記第1の切換回路および第2の切換回路を制御する制御回路とを具備することを特徴とする。

4

【作用】2つのコンデンサに対する回路接続が制御回路により制御されることにより、2つのコンデンサが交互に充電、放電を繰り返す動作（充放）が行われるので、このコンデンサの充放電波形をパルス化すればクロック信号が得られる。

【0011】このクロック発生回路は、LSIチップ上に形成することが可能な素子で構成できるので、クロック発生回路の一部としてLSIの外付け部品あるいは外部基準信号源を必要としなくなり、LSIのチップコスト、パッケージコストおよびLSIを用いたシステム全体のコストを低減することが可能となる。

【0012】また、クロック発生回路の一部として外部端子が不要となるので、この不要となった外部端子に他の機能を割り当てるようにすれば、LSIの高付加価値化を図ることが可能になる。

【0013】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明のクロック発生回路の一例を示すブロック図である。図1のクロック発生回路はLSIチップ上に形成されており、第1のコンデンサC1および第2のコンデンサC2は、それぞれの容量値が等しく、それぞれの一端が基準電位（接地電位Vss）ノードに接続されている。

【0014】第1の定電流源回路10は、上記第1のコンデンサC1および第2のコンデンサC2に電流を流すために設けられており、その一端が電源電位Vccノードに接続されている。

【0015】第1の切換回路SW1は、前記第1の定電流源回路10の出力ノードと前記第1のコンデンサの他端（充放電ノード）との間に接続され、第1の切換制御信号により制御され、第1のコンデンサC1の充放電ノードを第1の定電流源回路10に接続する第1のスイッチ状態または前記基準電位Vssに選択的に接続する第2のスイッチ状態になる。

【0016】第2の切換回路SW2は、前記第1の定電流源回路10の出力ノードと前記第2のコンデンサC2の他端（充放電ノード）との間に接続され、第2の切換制御信号により制御され、第2のコンデンサC2の充放電ノードを第1の定電流源回路10に接続する第1のスイッチ状態または前記基準電位Vssに選択的に接続する第2のスイッチ状態になる。

【0017】また、前記第1のコンデンサC1の充放電ノードは、第1の電圧比較回路11の正相入力端子（+）に接続されており、前記第2のコンデンサC2の充放電ノードは、第2の電圧比較回路12の正相入力端子（+）に接続されている。

【0018】基準電圧発生回路13は、基準電流を流すための第2の定電流源回路14を有しており、この基準電流に対応した所定の基準電圧Vrefを発生し、これを

5

び前記第2の電圧比較回路12の反転入力端子(-)に比較基準電圧として与える。この基準電圧発生回路13の第2の定電流源回路14および前記第1の定電流源回路10は、共通の電流源制御回路15により制御される。

[0019] 前記第1の電圧比較回路11の出力および第2の電圧比較回路12の出力は、各対応してセット・リセット型のフリップフロップ回路16のセット入力端子S、リセット入力端子Rに供給される。そして、このフリップフロップ回路16の相補的な出力(セット出力Q、リセット出力/Q)は各対応して前記第2の切換制御信号および第1の切換制御信号として供給される。

[0020] 図2は、図1のクロック発生回路の動作例を示すタイミング波形図である。次に、図1のクロック発生回路の動作について、図2を参照しながら説明する。いま、フリップフロップ回路16のセット出力Q、リセット出力/Qが各対応して“L”、“H”レベルになり、第1の切換回路SW1/第2の切換回路SW2が対応して例えば第1のスイッチ状態/第2のスイッチ状態に制御されるものとする。

[0021] 上記第2の切換回路SW2が第2のスイッチ状態に制御された時、第2のコンデンサC2は直ちに放電し、その充放電ノードの電圧Vbが基準電圧Vrefより低くなり、第2の電圧比較回路12の出力b“は”L”レベルに戻る。

[0022] これに対して、上記第1の切換回路SW1が第1のスイッチ状態に制御された時、第1のコンデンサC1は充電され始め、その充放電ノードの電圧Vaが次第に高くなる。そして、この電圧Vaが基準電圧Vrefを越えたと、第1の電圧比較回路11の出力a“が”H”レベルから“H”レベルに反転する。

[0023] フリップフロップ回路16は、第1の電圧比較回路11の出力a“および第2の電圧比較回路12の出力b“がそれぞれ“L”レベルになっている時は、セット出力Q、リセット出力/Qのレベルをそのまま保持しているが、上記したような第1の電圧比較回路11の出力a“の“L”レベルから“H”レベルへの変化を受けて、セット出力Q、リセット出力/Qが各対応して“H”、“L”レベルに反転する。

[0024] これにより、第1の切換回路SW1/第2の切換回路SW2はそれ以前とは逆のスイッチ状態、つまり、対応して第2のスイッチ状態/第1のスイッチ状態に制御される。

[0025] すると、今度は、第1のコンデンサC1は直ちに放電し、第2のコンデンサC2が充電され始める。そして、第1のコンデンサC1の充放電ノードの電圧Vaが基準電圧Vrefより低くなり、第1の電圧比較回路11の出力a“は”L”レベルに戻る。

[0026] したがって、上記第2のコンデンサC2の充電

6

の電圧比較回路12の出力b“が”L”レベルから“H”レベルに反転する。この変化を受けて、フリップフロップ回路16のセット出力Q、リセット出力/Qが各対応して“L”、“H”レベルに反転する。

[0027] これにより、第1の切換回路SW1/第2の切換回路SW2が再び対応して第1のスイッチ状態/第2のスイッチ状態に制御され、第2のコンデンサC2は直ちに放電し、第1のコンデンサC1が再び充電され始める。

[0028] 上記したような動作を繰り返すことにより、容量値が等しい2つのコンデンサC1、C2は交互に充電、放電を繰り返す動作(発振)が行われ、このコンデンサC1、C2の充放電波形をパルス化することにより、フリップフロップ回路16のセット出力Qとしてクロック信号CKが得られる。

[0029] 上記クロック発生回路の発振周波数foscは、コンデンサC1あるいはC2の充電を開始してから基準電圧Vrefまで充電されるのに要する時間をTで表わすと、

$$T \cdot f_{osc} = 1/2 T \quad \dots (1)$$

となる。ここで、充電電流(第1の定電流源回路10の電流)Iは一定であるので、時間Tに充電される電荷量はQは、

$$Q = I \cdot T \quad \dots (2)$$

となる。また、コンデンサC1、C2の容量値をそれぞれCで表わすと、

$$Q = C \cdot V_{ref} \quad \dots (3)$$

が成り立つ。

[0030] 従って、式(2)、(3)より、

$$T = Q/I = C \cdot V_{ref} / I \quad \dots (4)$$

となる。式(1)、(4)より、

$$f_{osc} = 1/2 \cdot C \cdot V_{ref} \quad \dots (5)$$

となる。

[0031] 即ち、上記クロック発生回路は、LSIに内蔵することが可能な回路や素子で構成できるので、クロック発生回路の一部としてLSIの外付け部品あるいは外部基準信号源を必要とlessくなり、LSIのチップコスト、パッケージコストおよびLSIを用いたシステム全体のコストを低減することが可能となる。

[0032] また、クロック発生回路の一部として外部端子が不要となるので、この不要となった外部端子に他の機能を割り当てるようにすれば、LSIの高付加価値化を図ることが可能になる。

[0033] 図3は、図1中の基準電圧発生回路13の一具体例を示す回路図である。この基準電圧発生回路13は、VccノードとVssノードとの間に、第2の定電流源回路14および抵抗素子31が直列に接続されてなり、抵抗素子31の電圧降下VRが基準電圧Vrefとして用いられる。

と、  
 $V_{ref} = VR = I_r \cdot R \quad \dots (6)$   
 となる。

【0034】第2の定電流源回路14と前記第1の定電\*

$$f_{osc} = I / 2 \cdot C \cdot V_{ref} \\ = I / 2 \cdot C \cdot k \cdot I_r \cdot R = 1 / 2 \cdot k \cdot C \cdot R \quad \dots (8)$$

となる。

【0035】従って、発振周波数  $f_{osc}$  は、コンデンサ  $C1$ 、 $C2$  の容量値  $C$  と、基準電圧発生回路13の抵抗素子31の抵抗値  $R$  のみによって決まり、その安定度は、上記容量値  $C$  と抵抗値  $R$  に依存することになる。即ち、上記発振周波数  $f_{osc}$  は、前記第1の定電流源回路10、第2の定電流源回路14の電流変動の影響を受け

ない。  
 【0036】ところで、上記容量値  $C$  と抵抗値  $R$  の変動要因としては、LSIの製造プロセスのばらつきと電源電圧依存性と温度依存性が考えられる。まず、温度依存性については、容量値  $C$  の温度依存性は小さいので無視※

$$\Delta f_{osc} / \Delta T$$

$$= -(1+\alpha) / 2 \cdot k \cdot C \cdot R \cdot 0 \quad [1+\alpha(T-T_0)]^2 \quad \dots (10)$$

となり、負の温度依存性を持つようになる。この場合、抵抗値  $R$  の温度係数  $\alpha$  が十分小さければ  $\Delta f_{osc}$  は無視できる。

【0039】これに対して、抵抗値  $R$  の温度係数  $\alpha$  が十分小さい場合には、図4に示すように、抵抗素子31にダイオード32を直列に接続し、これらに第2の定電流源回路14の電流を流すように変更すればよい。この場合、例えばCMOS型LSIにおいては、ラテラルバイポーラトランジスタのベース・エミッタ間接合を利用してダイオード32を構成することができる。こ

$$V_{ref} = VR + VF \quad \dots (11)$$

となる。このVFは、第2の定電流源回路14の電流変動に殆んど依存せずに一定であり、その温度係数は一般的に負の温度依存性を持っているので、正の温度依存性を持っている抵抗素子31と組み合わせて使用し、抵抗値  $R$  あるいは第2の定電流源回路14の電流値を調整することにより、両者の温度依存性を相殺することができる。

【0040】図5は、図4中のダイオード32としてCMOS型LSIに形成されたラテラルPNPトランジスタのベース・エミッタ間接合を利用した構成した一例を示す断面図である。

【0041】ここで、51はP型半導体基板、52は半導体基板表面部に選択的に形成されたNウェル（ベース領域）、53はNウェル表面部に選択的に形成されたP型不純物領域（エミッタ領域）、54はNウェル表面部に選択的に形成されたN型不純物領域（ベース電極引き

\* 流源回路10とは、電流源制御回路15からの出力により共通に制御されているので、

$$I_r = k \cdot I \quad (k \text{ は定数}) \quad \dots (7)$$

となる。上式(5)、(6)、(7)より、

※できるが、抵抗値  $R$  の温度依存性は、抵抗素子31の種類によっても異なるが、一般的に次式に示すような正の温度依存性を持っている。

$$[0037] R = R_0 [1 + \alpha(T - T_0)]$$

( $R_0$  は  $T_0 = 300^\circ \text{K}$  の時の抵抗値、 $\alpha$  : 温度係数)  $\dots (9)$

となる。

【0038】従って、抵抗素子31の電圧降下  $VR$  のみで基準電圧  $V_{ref}$  を生成した場合、 $f_{osc}$  の変動分を  $\Delta f_{osc}$ 、温度変動分を  $\Delta T$  で表わすと、前式(8)、(9)より、

れたP型不純物領域（基板電極引き出し領域）である。上記P型不純物領域53とNウェル52とのPN接合が前記ダイオード32として用いられており、N型不純物領域54とP型不純物領域55とは短絡接続され、接地電位  $V_{SS}$  が与えられる。

【0042】次に、プロセスのばらつきによる容量値  $C$  と抵抗値  $R$  の変動に対しては、図1の回路では対応できないので、図1の回路と同じLSIチップ上にトリミング調整回路などを付加しておき、LSI製造プロセス終了後に調整することにより対応することが考えられる。

【0043】図6(a)は、第1のコンデンサ  $C1$  および第2のコンデンサ  $C2$  の容量値をトリミング調整し得るトリミング調整回路の一例を示す回路図である。このトリミング調整回路は、1個の容量  $C_a$  に対して複数個の容量  $C_b$ 、 $C_c$ 、 $\dots$ 、 $C_n$  を並列に接続する配線61を例えばレーザービームの照射により選択可能な素材により形成しておき、上記配線61の一部または全部を溶解することにより、容量の並列接続数を調整することが可能である。

【0044】図6(b)は、前記基準電圧発生回路13の抵抗素子31の抵抗値  $R$  をトリミング調整し得るトリミング調整回路の一例を示す回路図である。このトリミング調整回路は、抵抗素子31の長さ方向の間隔をあけて複数の接続ノードを形成し、この抵抗素子31の一端個ノードと上記複数の接続ノードとをそれぞれ短絡接続する配線62を例えばレーザービームの照射により溶解可能な素材により形成しておき、上記配線62の一部または全部を溶解することにより、上記抵抗素子31の一端個ノードと他の接続ノードとの間の抵抗値  $R$  を調整する

9

【0045】従って、プロセスのばらつきによる容量値Cと抵抗値Rの変動に対しては、製造プロセス終了後に、図6(a)あるいは図6(b)のトリミング調整回路に対して調整を必要とするが、その後は特に問題がないと考えられる。

【0046】次に、前記容量値C、抵抗値Rの電源電圧依存性はそれぞれ小さいので、特に電源電圧依存性の対策を施さなくても発振周波数 $f_{osc}$ は数%以内の変動におさまるものと考えられる。

【0047】しかし、さらに高い周波数安定度が要求される場合には、図7(a)あるいは図7(b)に示すように、電源電圧安定化回路70aあるいは70bにより電源電圧を安定化してクロック発生回路1の動作電源として供給すれば、周波数変動を無視できるほど小さくすることが可能となる。

【0048】図7(a)、図7(b)において、71および72はPMOSTランジスタ、73および74はNMOSTランジスタ、75は電圧比較回路、76、761~763は抵抗、77はキャパシタ、78および79はPNPトランジスタである。

【0049】なお、図7(a)、(b)に示した電源電圧安定化回路自体は公知であるので、その詳細な説明を省略し、その電源電圧依存性の一例を図7(c)に示した。また、図4(あるいは図3)に示した基準電圧発生回路の第2の定電流源回路14の電流値を調整するための例えば図8に示すような基準電流値調整回路80をこのクロック発生回路と同じLSIチップ上に付加しておき、第2の定電流源回路14の電流値を調整するようにしてもよい。

【0050】図8中に示す基準電流値調整回路80において、ゲート・ドレイン相互が短絡接続された第1のPMOSTランジスタ81は、第2の定電流源回路用のPMOSTランジスタ14とゲート同士、ソース同士が接続されており、これらのトランジスタ81、14はカレントミラー回路を形成している。

【0051】上記第1のPMOSTランジスタ81のドレインと $V_{ss}$ ノードとの間には、スイッチ用のNMOSTランジスタ83および電流源用のNMOSTランジスタ84が直列に接続された直列回路が複数個並列に挿入されている。そして、上記複数個の直列回路の各電流源用トランジスタ84…のゲートに電流源制御回路15から定電圧が共通に与えられ、前記複数個の直列回路の各スイッチ用トランジスタ83…のゲートに対応してデータラッチ回路85から電流値調整データ(パラレルデータ)の各ビット信号が与えられる。

【0052】なお、86はLSIチップの機能選択データなどを記憶するために図1のクロック発生回路と同じLSIチップ上に形成されている不揮発性メモリであり、この不揮発性メモリには第2の定電流源回路14の電流値調整データが記憶されている。

10

めにも使用される。そして、この不揮発性メモリに記憶された電流値調整データを読み出して前記データラッチ回路85に保持するように構成されている。

【0053】この基準電流値調整回路70によれば、例えばLSI製造プロセス終了後に、前式(7)の定数kを調節するための電流値調整データを不揮発性メモリ86に帯込んで保持させることにより、この電流値調整データに応じて前式(7)の定数kを調節して発振周波数 $f_{osc}$ の絶対値を調整することが可能となる。

【0054】従って、本実施例のクロック発生回路においては、上述したような要素技術を組み合わせることで、前式(8)中の容量値Cと抵抗値Rの変動要因として考えられるプロセスのばらつき、電源電圧依存性、温度依存性を抑え、発振周波数の変動が小さい安定したクロック発生回路を実現することが可能となる。

【0055】図9は、図1中の電流源制御回路15の一具体例を示す回路図である。ここで、91および92はPMOSTランジスタ、93~96はNMOSTランジスタ、97は抵抗、98および99はキャパシタである。

【0056】この電流源制御回路自体は公知であるので、その詳細な説明を省略する。図10は、図1中の第1の電圧比較回路11あるいは第2の電圧比較回路12の一具体例を示す回路図である。

【0057】ここで、101~104はPMOSTランジスタ、105~108はNMOSTランジスタ、109は出力端子である。この電圧比較回路自体は公知であるので、その詳細な説明を省略する。

【0058】図11は、本発明の第2実施例に係るクロック発生回路を示す回路図である。このクロック発生回路は、図1のクロック発生回路と比べて、図7(a)あるいは図7(b)に示したような電源電圧安定化回路70および図8に示したような基準電流値調整回路80を付加しており、図1中と同一部分には同一符号を付している。

【0059】ここで、N1は電流源制御回路15の出力により制御される電流源用のNMOSTランジスタ、P1は上記NMOSTランジスタN1に直列接続され、ゲート・ドレイン相互が接続された電流源用のPMOSTランジスタ、P2およびP3はそれぞれ上記PMOSTランジスタP1にカレントミラー接続された第1の定電流源回路10用のPMOSTランジスタである。

【0060】P4およびN2は第1の切替回路SW1用のPMOSTランジスタおよびNMOSTランジスタ、N3は第1の切替回路SW1のPMOSTランジスタP4がオフ状態に設定された時に前記第1の定電流源回路用のPMOSTランジスタP2の電流を流すためのNMOSTランジスタである。

N5は第2の切換回路SW2のPMOSTランジスタP5がオフ状態に設定された時に前記第1の定電流源回路用のPMOSTランジスタP3の電流を流すためのNMOSTランジスタである。

【0062】基準電圧値調整回路80は、前記電流源制御回路15の出力により制御され、第2の定電流源回路用のPMOSTランジスタ14に流れる基準電流の値を調整する。

【0063】電源電圧安定化回路70は、上記電流源用のPMOSTランジスタP1、P2P3および14の各ソースに安定化された電源電圧を供給する。第1の電圧比較回路11および第2の電圧比較回路12は、それぞれ例えば図10に示した構成を有する。

【0064】フリップフロップ回路16は、2個の二入力ノード回路G1、G2が交差接続されてなる。このフリップフロップ回路16の出力および制御信号PDは二入力ノード回路G3に入力し、この二入力ノード回路G3の出力により前記第1の切換回路SW1のトランジスタP4、N2、N3が制御され、上記二入力ノード回路G3の出力がインバータ回路1Vにより反転された出力により前記第2の切換回路SW2のトランジスタP5、N4、N5が制御される。

【0065】上記第2実施例のクロック発生回路は、前記第1実施例のクロック発生回路の動作と基本的には同様の動作が行われ、さらに、付加されている電源電圧安定化回路70および基準電圧値調整回路80の動作に伴う効果が得られる。

【0066】図12は、本発明のクロック発生回路の出力信号を分周することによってクロック周波数を調整する周波数調整回路の一例を示している。この周波数調整回路は、クロック発生回路1の出力信号が入力する分周回路121と、この分周回路121に分周数指定データ(パラレルデータ)を与えるデータレジスタ回路122とを有する。

【0067】このデータレジスタ回路122は、LSIチップの機能選択データなどを記憶するためにクロック発生回路1と同じLSIチップ上に形成されている不揮発性メモリ86に例えばプロセス終了後に書き込まれる分周数指定データが読み出されて設定されるように構成されている。

【0068】

【発明の効果】 上述したように本発明のクロック発生回路によれば、LSIの外付け部品あるいは外部基準信号源を必要とせずに安定した基準クロックを発生でき、LSIのコストおよびLSIを用いたシステム全体のコストを低減することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例に係るクロック発生回路を示すブロック図。

【図2】 図1のクロック発生回路の動作例を示す波形図。

【図3】 図1中の基準電圧発生回路の一例を示す回路図。

【図4】 図3の基準電圧発生回路の変形例を示す回路図。

【図5】 図4中のダイオードをCMOS型LSIにおいてラテラルバイポーラトランジスタのベース・エミッタ間接合を利用して構成した一例を示す断面図。

【図6】 図1中の第1のコンデンサC1および第2のコンデンサC2の容量値ならびに図3中の基準電圧発生回路の抵抗素子の抵抗値をトリミング調整し得るトリミング調整回路の一例を示す回路図。

【図7】 図1のクロック発生回路の動作電源として電源電圧を安定化して供給するための電源電圧安定化回路の相異なる例を示す回路図およびその電源電圧依存性の一例を示す特性図。

【図8】 図4中の基準電圧発生回路の第2の定電流源回路の電流値を調整するための基準電流値調整回路の一例を示す回路図。

【図9】 図8中の電流源制御回路の一例を示す回路図。

【図10】 図1中の第1の電圧比較回路および第2の電圧比較回路の一例を示す回路図。

【図11】 本発明の第2実施例に係るクロック発生回路を示す回路図である。

【図12】 本発明のクロック発生回路の出力信号を分周することによってクロック周波数を調整する周波数調整回路の一例を示すブロック図。

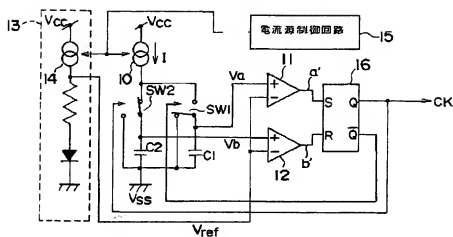
【図13】 従来のクロック発生回路の一例を示す回路図。

【図14】 従来のクロック発生回路の他の例を示す回路図。

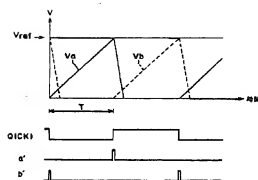
【符号の説明】

C1、C2…コンデンサ、SW1…第1の切換回路、SW2…第2の切換回路、Vref…基準電圧、1…クロック発生回路、10…第1の定電流源回路、11…第1の電圧比較回路、12…第2の電圧比較回路、13…基準電圧発生回路、14…第2の定電流源回路、15…電流源制御回路、16…フリップフロップ回路、31…抵抗素子、32…ダイオード、52…Nウエル(ベース領域)、53…P型不純物領域(エミッタ領域)、70、70a、70b…電源電圧安定化回路、80…基準電流値調整回路、85…データラッチ回路、86…不揮発性メモリ、Ca、Cb、Cc…容量。

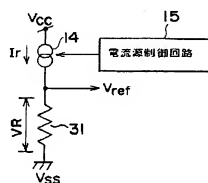
【図1】



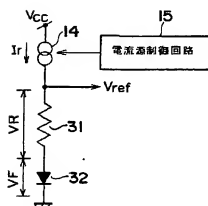
【図2】



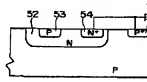
【図3】



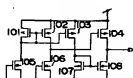
【図4】



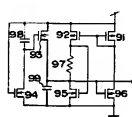
【図5】



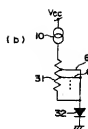
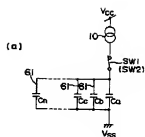
【図10】



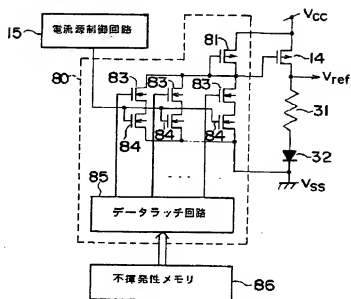
【図9】



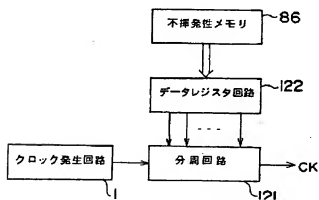
【図6】



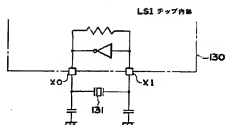
【図8】



【図12】



【図13】



(10)

特開平7-38388

【図7】

